

PU020354 (JP11008601) ON 8042

(19) Patent Agency of Japan (JP)

(12) Official report on patent publication (A)

(11) Publication number: 11-008601

(43) Date of publication of application: 12.01.1999

(51) Int.Cl. H04J 11/00 H03M 13/12 H04B 1/16
H04H 1/00 H04L 27/22

(21) Application number: 9-158344

(22) Date of filing: 16.06.1997

(71) Applicant: Sony Corp

(72) Inventor: Fukami Tadashi

(54) Title of the invention: Receiver for digital
broadcast

(57) Abstract:

Problem to be solved: To reduce useless power
consumption of a digital broadcast receiver.

Solution: The receiver is provided with a detection
circuit 23 that detects whether or not a received digital
signal is synchronous and provided with a circuit 25 that
is controlled with a detection signal from the detection
circuit 23 and supplies a clock signal to a decoder
circuit 16 and its succeeding circuits 17, 18 only when
the receiver is synchronous and that stops the supply of
the clock signal to the decoder circuit 16 and its
succeeding circuits 17, 18 to cause the clock operation
of the circuits 16-18 to be stopped.

REF.	AB	PU020354
COUNTRY	JAPAN	
CORRES.	US/UK	

[Claims]

[Claim 1] A detector circuit that detects whether a synchronization can be taken to a received digital signal, a receiver of digital broadcasting is made to stop operation with a clock of a circuit after the mentioned above decoder circuit when it includes a circuit that supplies a clock to a circuit after a decoder circuit only when it is controlled by a detecting signal of this detector circuit and the mentioned above synchronization can be taken and the mentioned above synchronization was not able to be taken.

[Claim 2] A receiver of digital broadcasting that detected a carrier synchronization on a frequency axis of the mentioned above received digital signal and a symbol synchronization on a time-axis in a reproduction synchronous circuit, while obtaining digital data if it supplies a received digital signal to a demodulator circuit, an error correction circuit and a data decompression circuit one by one in a receiver of the digital broadcasting according to claim 1.

[Detailed description of the invention]

[0001]

[Field of the invention] This invention is applied to the receiver of a digital audio broadcast and relates to the receiver of suitable digital broadcasting.

[0002]

[Description of the prior art] Although DAB (digital audio broadcast) according to Eureka147 standard is carried out in Europe, the signal processing in the transmitting side is as follows.

- (1) Carry out the data compression of the digital audio data of 64 channels by the layer II of an MPEG audio for every channel at the maximum.
- (2) (1) Convolutional coding and interleave of a time-axis perform encoding processing for error corrections to the data of each channel as a result of a paragraph.
- (3) (2) The result of a paragraph is multiplexed to one channel. The auxiliary data of PAD is added at this time too.
- (4) (3) While carrying out interleave processing of the result of a paragraph by a frequency axis, the symbol for a synchronization is added.
- (5) (4) OFDM processing (orthogonal frequency division multiplex processing) is carried out and D/A conversion of the result is carried out too.
- (6) (5) QPSK modulation (quadrature modulation) of the carrier signal is carried out by the result of a paragraph, and this QPSK signal is transmitted.

[0003]

[Problems to be solved by the invention] In the receiver that receives the above digital broadcasting, for example, this invention tends to reduce consumption of useless electric power.

[0004]

[Means for solving the problem] For this reason, a detector circuit that detects whether a synchronization can be taken to a received digital signal in this invention, when it has a circuit that supplies a clock to a circuit after a decoder circuit only when it is controlled by a detecting signal of this detector circuit and the mentioned above synchronization can be taken and the mentioned above synchronization cannot be taken, it is considered as a receiver of digital broadcasting it was made to stop operation with a clock of a circuit after the mentioned above decoder circuit. Thus, the circuit after a decoder circuit operates normally, only when a synchronization can be taken, and when a synchronization cannot be taken, it suspends operation.

[0005]

[Embodiment of the invention] In drawing 1, the broadcast wave signal of DAB is received by the antenna 11, this input signal is supplied to the front end circuit 12 constituted by super heterodyne form and it is changed into an intermediate frequency signal and this intermediate frequency signal is supplied to the A/D converter circuit 13, and it is a digital signal.

[0006] And while this digital intermediate frequency signal is supplied to the orthogonal demodulation circuit 14, the data of baseband gets over and this data is written in RAM 21 for buffers one by one, the data written in this RAM 21 is incorporated into FFT circuit 15, an OFDM recovery is performed and this data to which it restored is written in RAM 21 one by one.

[0007] Next, the data written in this RAM 21 is incorporated into the Viterbi decoder circuit 16, and de-interleave and an error correction are performed. At this time, a predetermined selection signal is supplied to the decoder circuit 16 from the microcomputer 40 for system control, a channel selection (program selection) is performed, the data of the channel made into the purpose is chosen, and that data is written in RAM 21 one by one.

[0008] And the data written in this RAM 21 is incorporated into the data decompression circuit 17 and data decompression of the digital audio data of the target channel is carried out to the data of a basis, these digital audio data by which data decompression was carried out are supplied to the D/A converter circuit 18, D/A conversion is carried out to an analog audio signal and this signal is taken out by the terminal 19.

[0009] The microcomputer 40 is supplied, while the data written in RAM 21 by the Viterbi decoder circuit 16 is incorporated into the RDI circuit 22, being considered as the data of a predetermined move format and outputting this data to the terminal 29.

[0010] While the reproduction synchronous circuit 23 is constituted by DSP, for example and AFC of the front end circuit 12 is performed, processing of the time synchronization in FFT circuit 15 is performed and the carrier synchronization on a frequency axis and the symbol synchronization on a time-axis are taken. RAM 21 is used as the object for buffers and the object for work areas of the reproduction synchronous circuit 23 at this time.

[0011] While clock CK whose frequency is 24 MHz is formed of the clock formation circuit 24 and this clock CK is supplied to the circuits 13-15, 23, respectively, the circuits 16-18, 22 are supplied through AND circuit 25, respectively.

[0012] In the reproduction synchronous circuit 23, the size of the frequency offset of a carrier synchronization and time-axis offset of a symbol synchronization is detected in this case, when the size of both offset is less than a predetermined value, it becomes «H» and when either also exceeds a predetermined value, the detecting signal S23 used as «L» is taken out. That is, the detecting signal S23 serves as «H», when the synchronous circuit 23 locks and when not locked, it is a signal used as «L». And this detecting signal S23 is supplied to AND circuit 25.

[0013] Since it is $S23 = \text{«H»}$ when locked to the data which the synchronous circuit 23 received according to such composition, clock CK is supplied also to the circuits 16-18, 22 by AND circuit 25. Thus, the circuits 16-18, 22 can operate normally as mentioned above and a desired output signal can be acquired for the terminals 19, 29.

[0014] However, since $S23 = \text{«L»}$ when not locked to the data that the synchronous circuit 23 received, clock CK is prevented by AND circuit 25 and the circuits 16-18, 22 are not supplied. Thus, since the circuits 16-18, 22 suspend operation, the power consumption of these circuits 16-18, 22 decreases, namely, power saving is performed.

[0015] Although an output signal cannot be acquired for the terminals 19, 29 in this case, in this case, since an output signal cannot be acquired for the terminals 19, 29 even if it supplies clock CK to the circuits 16-18, 22, since the synchronous circuit 23 does not lock from the first, it is satisfactory even if it stops the circuits 16-18, 22.

[0016] Rather, although the synchronous circuit 23 does not lock, when the circuits 16-18 are operated, the audio signal that error detection, an error correction, etc. malfunction and the terminal 19 is made to reproduce as an allophone as a result may be outputted to it. In the mentioned above receiver, since the circuits 16-18 have suspended operation when the synchronous circuit 23 does not lock, the signal of an allophone is not outputted.

[0017] In the receiver shown on drawing 2, it is a case where it is considered as the minimum frequency for which the frequency of the clock supplied to the circuits 13-18, 22, 23 is needed in those circuits.

[0018] That is, in drawing 2, the broadcast wave signal of DAB is received by the antenna 11, this input signal is supplied to the front end circuit 12 and it is changed into an intermediate frequency signal and this intermediate frequency signal is supplied to the A/D converter circuit 13, and it is a digital signal. And this digital signal is supplied to the orthogonal demodulation circuit 14 and the data of baseband gets over, this data is supplied to FFT circuit 15, an OFDM recovery is carried out, that data by which the OFDM recovery was carried out is supplied to the Viterbi decoder circuit 16,

and a de-interleave and an error correction are performed.

[0019] At this time, a predetermined selection signal is supplied to the decoder circuit 16 from the microcomputer 40 for system control and a channel selection (program selection) is performed, the digital audio data of the target channel are chosen, this selected data decomposition circuit 17 is supplied and MPEG data decomposition is performed.

[0020] In this way, data decomposition of the digital audio data of the channel made into the purpose is carried out to the data of a basis, and they are taken out from the data decomposition circuit 17. And these taken-out digital audio data are supplied to the D/A converter circuit 18, D/A conversion is carried out to an analog audio signal and this signal is taken out by the terminal 19.

[0021] The microcomputer 40 is supplied, while some data is supplied to the RDI circuit 22 from the Viterbi decoder circuit 16, being considered as the data of a predetermined move format and outputting this data to the terminal 29. While the reproduction synchronous circuit 23 is constituted by DSP, for example and AFC of the front end circuit 12 is performed, synchronous processing is performed in FFT circuit 15.

[0022] In the above processing, in the circuits 14-17, 22, 23, instead of RAM 21, RAM 34-37, 32, 33 is connected, respectively, and these RAM 34-37, 32, 33 like RAM 21, while being used as the buffer or work area at the time of data processing of those connected

circuits, it is used as a buffer when delivering data to the next step.

[0023] Also, in the clock formation circuit 24, the clocks CK13-CK18, CK22, CK23 of the circuits 13-18, 22, 23 are formed, while clock CK13-CK15, CK23 are supplied to the circuits 13-15, 23, respectively, clock CK16-CK18, CK22 are supplied to the circuits 16-18, 22 by AND circuit 25, respectively (actually, although clock CK16-CK18, CK22 becomes 4 AND circuits supplied, respectively, AND circuit 25, drawing 2 shows the convenience of space, AND circuit 25).

[0024] And frequency of the clocks CK13-CK18, CK22, CK23 is the minimum frequency required for each circuits 13-18, and 22 to which these clocks are supplied in this case. For example, it is referred to as CK14= 4 MHz, CK15= 24 MHz, CK16= 12 MHz, CK17=3MHz, CK22= 3 MHz and CK23= 12 MHz.

[0025] The lock detection signal S23 is taken out from the reproduction synchronous circuit 23, AND circuit 25 is supplied. 1 chip IC form of the circuits 14-17, 22-25, 32-37 enclosed, for example with the broken chain line is carried out to LSI10.

[0026] Since S23=«H» when locked to the data that the synchronous circuit 23 received according to such composition, clock CK16-CK18, CK22 is supplied also to the circuits 16-18, 22 by AND circuit 25. Thus, the circuits 16-18, 22 can operate normally as mentioned above and a desired output signal can be acquired for the terminals 19, 29.

[0027] However, since S23= «L» when not locked to the data that the synchronous circuit 23 received, clock CK16-CK18, CK22 is prevented by AND circuit 25 and the circuits 16-18, 22 are not supplied. Thus, since the circuits 16-18, 22 suspend operation, the power consumption of these circuits 16-18, 22 decreases, and power saving is performed.

[0028] According to LSI10 of drawing 2, when the circuits 14-17, 22, 23 are LSI, those clocks CK14-CK17, CK22, CK23 will turn around the inside of LSI10. Frequency of these clocks CK14-CK23 with a frequency of 24 MHz of clock CK of drawing 1 is set to 1/8 - 1/2 as mentioned above except for clock CK15. Thus, even if these clocks CK14-CK23 turn around the inside of LSI10, a loss becomes small and its electric power consumed with the clocks CK14-CK23 decreases.

[0029] Since the clock of high frequency does not turn around the inside of LSI10, the problem by the diving of the clock can be reduced.

[0030] In addition, although the size of a frequency offset and time-axis offset presupposed that it is detected in the reproduction synchronous circuit 23, the detecting signal S23 can be acquired for the detector circuit as the reproduction synchronous circuit 23. In addition although it is a case where this invention is applied to the receiving circuit of a DAB receiver, if it is a receiver of digital broadcasting, this invention is applicable too.

[0031]

[Effect of the invention] According to this invention, useless power consumption in the receiver of digital broadcasting can be reduced. Also, an allophone signal is not outputted when the synchronization does not lock.

[Brief description of the drawings]

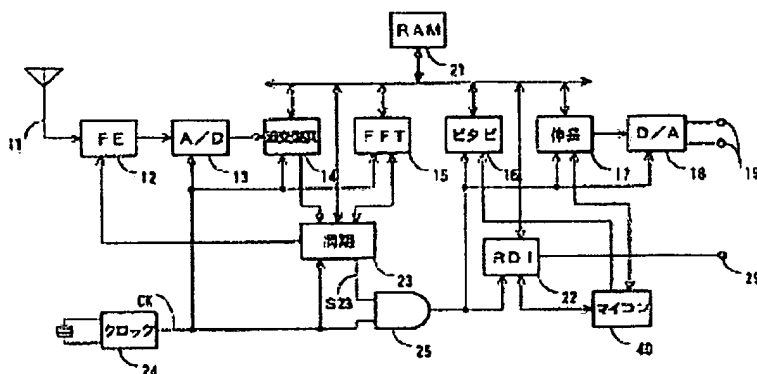
[Drawing 1] is a distribution diagram showing one embodiment of this invention.

[Drawing 2] is a distribution diagram showing other embodiments of this invention.

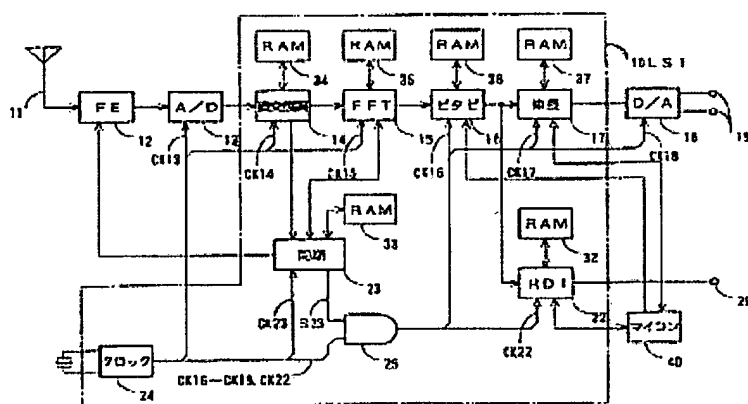
[Description of numbers]

- 10... LSI,
- 12... A front end circuit,
- 13... An A/D converter circuit,
- 14... An orthogonal demodulation circuit,
- 15... An FFT circuit,
- 16... A Viterbi decoder circuit,
- 17... A data decompression circuit,
- 18... A D/A converter circuit,
- 22... A RDI circuit,
- 23... A reproduction synchronous circuit,
- 24... A clock formation circuit,
- 25... An AND circuit,
- 40... A microcomputer, CK, CK13-CK18, CK22 and CK23... Clock

Drawing 1



Drawing 2



[Kind of official gazette] Printing of amendment by the regulation of 2 of article 17 of patent law

[Section classification] The 3rd classification of the part VII gate

[Publication date] 2004.12.16

[Publication number] JP 11-8601 A

[Date of publication] 1999.1.12

[Application number] Japanese Patent Application
Number 9-158344

[The 7th edition of International Patent Classification]

H04J 11/00

H03M 13/23

H04B 1/16

H04H 1/00

H04L 27/22

[FI]

H04J 11/00 Z

H03M 13/12

H04B 1/16 M

H04H 1/00 N

H04L 27/22 C

[Written amendment]

[Filing date] 2004.1.8

[Amendment 1]

[Document to be amended] Specification

[Items to be amended] The name of an invention

[Method of amendment] Change

[The contents of amendment]

[Title of the invention] Digital broadcasting receiver

[Amendment 2]

[Document to be amended] Specification

[Item to be amended] Claims

[Method of amendment] Change

[The contents of amendment]

[Claims]

[Claim 1] In a digital broadcasting receiver that receives digital broadcasting, a demodulator circuit that restores to a digital intermediate frequency signal to baseband

data, an error correction circuit that performs an error correction of the mentioned above baseband data, a data decompression circuit that decompresses the mentioned above baseband data, a D/A converter circuit that changes into an analog signal data by which mentioned above data decompression was carried out, a reproduction synchronous circuit that takes a carrier synchronization of frequency received with the mentioned above digital broadcasting receiver, a synchronous detection means that detects whether a carrier synchronization of the mentioned above frequency that the mentioned above reproduction synchronous circuit received can be taken, a control means that outputs a control signal that suspends operation of at least one circuit of the mentioned above demodulator circuit, the mentioned above error correction circuit and a data decompression circuit when the mentioned above reproduction synchronous circuit had not taken a career and a synchronization of the mentioned above frequency and it detects by the mentioned above detection means.

[Claim 2] In the digital broadcasting receiver according to claim 1 characterized by that a size of a frequency offset of a carrier synchronization of frequency and time-axis offset of a symbol synchronization that the mentioned above reproduction synchronous circuit received with the mentioned above digital broadcasting receiver is detected, only when one of sizes of the mentioned above frequency offset or time-axis offset exceed a predetermined value, the mentioned above control signal is outputted.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-8601

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 J 11/00

H 0 4 J 11/00

Z

H 0 3 M 13/12

H 0 3 M 13/12

H 0 4 B 1/16

H 0 4 B 1/16

M

H 0 4 H 1/00

H 0 4 H 1/00

N

H 0 4 L 27/22

H 0 4 L 27/22

C

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平9-158344

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(22) 出願日

平成 9 年 (1997) 6 月 16 日

(72) 発明者 深見 正

東京都品川区北品川 6 丁目 7 番 35 号 ソニ

ー株式会社内

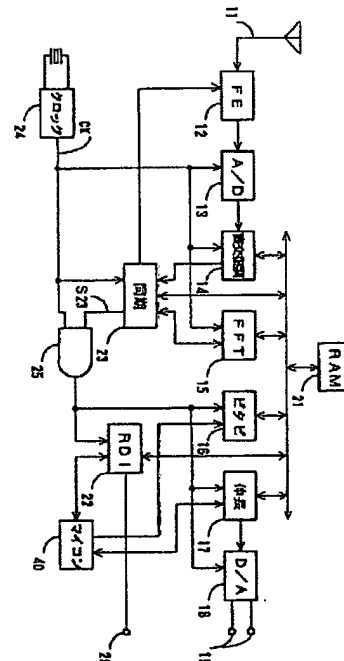
(74) 代理人 弁理士 佐藤 正美

(54) 【発明の名称】 デジタル放送の受信機

(57) 【要約】

【課題】 デジタル放送の受信機において、むだな電力消費を抑える。

【解決手段】 受信したデジタル信号に同期がとれているかどうかを検出する検出回路 2 3 を設ける。この検出回路 2 3 の検出信号により制御され、同期がとれているときのみ、デコーダ回路 1 6 以降の回路 1 6 ~ 1 8 にクロックを供給する回路 2 5 を設ける。同期がとれていないときには、デコーダ回路 1 6 以降の回路 1 6 ~ 1 8 のクロックによる動作を停止させる。



【特許請求の範囲】

【請求項1】受信したデジタル信号に同期がとれているかどうかを検出する検出回路と、この検出回路の検出信号により制御され、上記同期がとれているときのみ、デコーダ回路以降の回路にクロックを供給する回路とを有し、上記同期がとれていないときには、上記デコーダ回路以降の回路のクロックによる動作を停止させるようにしたデジタル放送の受信機。

【請求項2】請求項1に記載のデジタル放送の受信機において、受信したデジタル信号を、復調回路、エラー訂正回路およびデータ伸長回路に順次供給してもとのデジタルデータを得るとともに、上記受信したデジタル信号の周波数軸上のキャリア同期および時間軸上のシンボル同期を再生同期回路において検出するようにしたデジタル放送の受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、デジタルオーディオ放送の受信機に適用して好適なデジタル放送の受信機に関する。

【0002】

【従来の技術】ヨーロッパでは、Eureka147規格にしたがったDAB（デジタルオーディオ放送）が実施されているが、その送信側における信号処理は次のとおりである。

- (1) 最大で64チャンネルのデジタルオーディオデータを、チャンネルごとにMPEGオーディオのレイヤIIによりデータ圧縮する。
- (2) (1) 項の結果の各チャンネルのデータに、畳み込み符号化および時間軸のインターリーブにより誤り訂正用のエンコード処理を行う。
- (3) (2) 項の結果を1つのチャンネルに多重化する。このとき、PADなどの補助的なデータも付加する。
- (4) (3) 項の結果を、周波数軸でインターリーブ処理するとともに、同期用のシンボルを付加する。
- (5) (4) の結果をOFDM処理（直交周波数分割多重処理）し、さらにD/A変換する。
- (6) (5) 項の結果によりキャリア信号をQPSK変調（直交変調）し、このQPSK信号を送信する。

【0003】

【発明が解決しようとする課題】この発明は、例えば上記のようなデジタル放送を受信する受信機において、むだな電力の消費を抑えようとするものである。

【0004】

【課題を解決するための手段】このため、この発明においては、受信したデジタル信号に同期がとれているかどうかを検出する検出回路と、この検出回路の検出信号により制御され、上記同期がとれているときのみ、デコー

ダ回路以降の回路にクロックを供給する回路とを有し、上記同期がとれていないときには、上記デコーダ回路以降の回路のクロックによる動作を停止させるようにしたデジタル放送の受信機とするものである。したがって、デコーダ回路以降の回路は、同期がとれているときのみ正常に動作し、同期がとれていないときには、動作を停止する。

【0005】

【発明の実施の形態】図1において、DABの放送波信号がアンテナ11により受信され、この受信信号が、スーパーヘテロダイン形式に構成されたフロントエンド回路12に供給されて中間周波信号に変換され、この中間周波信号がA/Dコンバータ回路13に供給されてデジタル信号とされる。

【0006】そして、このデジタル中間周波信号が直交復調回路14に供給されてベースバンドのデータが復調され、このデータがバッファ用のRAM21に順次書き込まれるとともに、このRAM21に書き込まれたデータがFFT回路15に取り込まれてOFDM復調が行われ、この復調されたデータがRAM21に順次書き込まれていく。

【0007】次に、このRAM21に書き込まれたデータがビタビデコーダ回路16に取り込まれてデインターリーブおよびエラー訂正が行われる。また、このとき、システム制御用のマイクロコンピュータ40からデコーダ回路16に所定の選択信号が供給されて選局（番組選択）が行われ、目的とするチャンネルのデータが選択され、そのデータがRAM21に順次書き込まれる。

【0008】そして、このRAM21に書き込まれたデータがデータ伸長回路17に取り込まれて目的のチャンネルのデジタルオーディオデータがもとのデータにデータ伸長され、このデータ伸長されたデジタルオーディオデータがD/Aコンバータ回路18に供給されてアナログオーディオ信号にD/A変換され、この信号が端子19に取り出される。

【0009】また、ビタビデコーダ回路16によりRAM21に書き込まれたデータが、RDI回路22に取り込まれて所定の転送フォーマットのデータとされ、このデータが端子29に出力されるとともに、マイクロコンピュータ40に供給される。

【0010】さらに、例えばDSPにより再生同期回路23が構成されてフロントエンド回路12のAFCが行われるとともに、FFT回路15における時間同期などの処理が実行され、周波数軸上のキャリア同期および時間軸上のシンボル同期が取られる。なお、このとき、RAM21が、再生同期回路23のバッファ用およびワークエリア用として使用される。

【0011】また、クロック形成回路24により周波数が例えば24MHzのクロックCKが形成され、このクロックCKが回路13～15、23にそれぞれ供給されるととも

に、アンド回路25を通じて回路16~18、22にそれぞれ供給される。

【0012】さらに、この場合、再生同期回路23において、キャリア同期の周波数オフセットおよびシンボル同期の時間軸オフセットの大きさが検出され、両オフセットの大きさが所定値以内のときには“H”となり、どちらか一方でも所定値を越えるときには“L”となる検出信号S23が取り出される。すなわち、検出信号S23は、同期回路23がロックしているときには、“H”となり、ロックしていないときには、“L”となる信号である。そして、この検出信号S23がアンド回路25に供給される。

【0013】このような構成によれば、同期回路23が受信したデータにロックしているときには、S23=“H”なので、クロックCKがアンド回路25を通じて回路16~18、22にも供給される。したがって、回路16~18、22が上述のように正常に動作し、端子19、29に所望の出力信号を得ることができる。

【0014】しかし、同期回路23が受信したデータにロックしていないときには、S23=“L”なので、クロックCKはアンド回路25により阻止され、回路16~18、22には供給されない。したがって、回路16~18、22は動作を停止するので、これら回路16~18、22の電力消費が低減し、すなわち、節電が行われる。

【0015】なお、この場合、端子19、29に出力信号を得ることはできないが、この場合には、もともと同期回路23がロックしていないので、回路16~18、22にクロックCKを供給しても端子19、29には出力信号を得られないので、回路16~18、22を停止させても問題はない。

【0016】むしろ、同期回路23がロックしていないのに、回路16~18を動作させると、エラー検出やエラー訂正などが誤動作し、その結果、端子19に異音として再生させるオーディオ信号が出力されることがあるが、上述の受信機においては、同期回路23がロックしていないときには、回路16~18は動作を停止しているので、異音の信号の出力されることがない。

【0017】図2に示す受信機においては、回路13~18、22、23に供給されるクロックの周波数を、それらの回路において必要とされる最低の周波数とする場合である。

【0018】すなわち、図2において、DABの放送波信号がアンテナ11により受信され、この受信信号がフロントエンド回路12に供給されて中間周波信号に変換され、この中間周波信号がA/Dコンバータ回路13に供給されてデジタル信号とされる。そして、このデジタル信号が直交復調回路14に供給されてベースバンドのデータが復調され、このデータがFFT回路15に供給されてOFDM復調され、そのOFDM復調されたデータ

タがビタビデコーダ回路16に供給されてデインターリーブおよびエラー訂正が行われる。

【0019】また、このとき、システム制御用のマイクロコンピュータ40からデコーダ回路16に所定の選択信号が供給されて選局（番組選択）が行われ、目的とするチャンネルのデジタルオーディオデータが選択され、この選択されたデータ伸長回路17に供給されてMP EGデータ伸長が行われる。

【0020】こうして、データ伸長回路17からは、目的とするチャンネルのデジタルオーディオデータがもとのデータにデータ伸長されて取り出される。そして、この取り出されたデジタルオーディオデータがD/Aコンバータ回路18に供給されてアナログオーディオ信号にD/A変換され、この信号が端子19に取り出される。

【0021】さらに、ビタビデコーダ回路16からデータの一部分がRDI回路22に供給されて所定の転送フォーマットのデータとされ、このデータが端子29に出力されるとともに、マイクロコンピュータ40に供給される。また、例えばDSPにより再生同期回路23が構成されてフロントエンド回路12のAFCが行われるとともに、FFT回路15における同期などの処理が実行される。

【0022】なお、以上の処理において、回路14~17、22、23には、RAM21に代わってRAM34~37、32、33がそれぞれ接続され、これらRAM34~37、32、33が、RAM21のように、それらの接続された回路のデータ処理時のバッファあるいはワークエリアとして使用されるとともに、次段へデータを受け渡すときのバッファとして使用される。

【0023】また、クロック形成回路24において、回路13~18、22、23のクロックCK13~CK18、CK22、CK23が形成され、クロックCK13~CK15、CK23が回路13~15、23にそれぞれ供給されるとともに、クロックCK16~CK18、CK22がアンド回路25を通じて回路16~18、22にそれぞれ供給される（実際には、アンド回路25は、クロックCK16~CK18、CK22がそれぞれ供給される4つのアンド回路となるが、図2においては、紙面の都合で、アンド回路25で代表して示している）。

【0024】そして、この場合、クロックCK13~CK18、CK22、CK23の周波数は、これらクロックが供給される各回路13~18、22にとって必要な最低の周波数とされる。例えば、
CK14=4MHz、CK15=24MHz、CK16=12MHz、CK17=3MHz
CK22=3MHz、CK23=12MHz
とされる。

【0025】さらに、再生同期回路23からロック検出信号S23が取り出されてアンド回路25に供給される。また、例えば鎖線で囲った回路14~17、22~2

10

20

30

40

50

*の中をはいまわらないので、そのクロックの飛び込みによるトラブルを低減することができる。

【００３０】なお、上述においては、周波数オフセットおよび時間軸オフセットの大きさが、再生同期回路２３において検出されるとしたが、その検出回路を再生同期回路２３と別体として検出信号Ｓ２３を得ることもできる。また、上述においては、この発明をＤＡＢ受信機の受信回路に適用した場合であるが、デジタル放送の受信機であれば、この発明を適用することができる。

【0031】
【発明の効果】この発明によれば、デジタル放送の受信機において、むだな電力消費を抑えることができる。また、同期がロックしていないときに、異音の信号の出力されることがない。

【図１】この発明の一形態を示す系統図である。

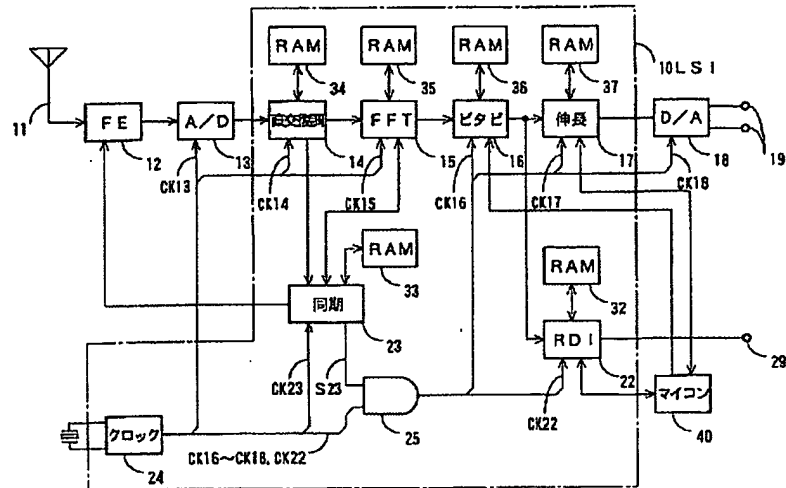
【符号の説明】

10…LSI、12…フロントエンド回路、13…A/Dコンバータ回路、14…直交復調回路、15…FFT回路、16…ビタビデコーダ回路、17…データ伸長回路、18…D/Aコンバータ回路、22…RDI回路、23…再生同期回路、24…クロック形成回路、25…アンド回路、40…マイクロコンピュータ、CK、CK13～CK18、CK22およびCK23…クロック

【0029】また、高い周波数のクロックがLSI10*

[illegible]

【図2】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成16年12月16日(2004.12.16)

【公開番号】特開平11-8601
 【公開日】平成11年1月12日(1999.1.12)
 【出願番号】特願平9-158344
 【国際特許分類第7版】

H 0 4 J 11/00
 H 0 3 M 13/23
 H 0 4 B 1/16
 H 0 4 H 1/00
 H 0 4 L 27/22

【F I】

H 0 4 J	11/00	Z
H 0 3 M	13/12	
H 0 4 B	1/16	M
H 0 4 H	1/00	N
H 0 4 L	27/22	C

【手続補正書】
 【提出日】平成16年1月8日(2004.1.8)
 【手続補正1】

【補正対象書類名】明細書
 【補正対象項目名】発明の名称
 【補正方法】変更

【補正の内容】
 【発明の名称】デジタル放送受信機
 【手続補正2】

【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更

【補正の内容】
 【特許請求の範囲】
 【請求項1】

デジタル放送を受信するデジタル放送受信機において、
 デジタル中間周波信号をベースバンドデータに復調する復調回路と、
 上記ベースバンドデータのエラー訂正を行うエラー訂正回路と、
 上記ベースバンドデータの伸長を行うデータ伸長回路と、
 上記データ伸長されたデータをアナログ信号に変換するD/Aコンバータ回路と、
 上記デジタル放送受信機で受信した周波数のキャリア同期をとる再生同期回路と、
 上記再生同期回路が受信した上記周波数のキャリア同期がとれているか否かを検出する同期検出手段と、
 上記検出手段によって、上記再生同期回路が上記周波数のキャリアと同期がとれていないと検出した場合に、上記復調回路と上記エラー訂正回路とデータ伸長回路との少なくとも1つの回路の動作を停止する制御信号を出力する制御手段と
 を備えることを特徴とするデジタル放送受信機。

【請求項2】
 請求項1に記載のデジタル放送受信機において、
 上記再生同期回路が上記デジタル放送受信機で受信した周波数のキャリア同期の周波数オ

フセットおよびシンボル同期の時間軸オフセットの大きさを検出し、上記周波数オフセットまたは時間軸オフセットのどちらか一方の大きさが所定値を越えるときにのみ上記制御信号を出力する
ようにしたことを特徴とするデジタル放送受信機。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-008601

(43)Date of publication of application : 12.01.1999

(51)Int.Cl.

H04J 11/00

H03M 13/12

H04B 1/16

H04H 1/00

H04L 27/22

(21)Application number : 09-158344

(71)Applicant : SONY CORP

(22)Date of filing : 16.06.1997

(72)Inventor : FUKAMI TADASHI

(54) RECEIVER FOR DIGITAL BROADCAST

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce useless power consumption of a digital broadcast receiver.

SOLUTION: The receiver is provided with a detection circuit 23 that detects whether or not a received digital signal is synchronous and provided with a circuit 25 that is controlled with a detection signal from the detection circuit 23 and supplies a clock signal to a decoder circuit 16 and its succeeding circuits 17, 18 only when the receiver is synchronous and that stops the supply of the clock signal to the decoder circuit 16 and its succeeding circuits 17, 18 to cause the clock operation of the circuits 16-18 to be stopped.

